

Sadržaj:

- 3.1 Ocena uspešnosti projekta
- 3.2 Projektovanje statičkih logičkih kola
- 3.3 Simboličko projektovanje
- 3.4 Projektovanje veza**
- 3.5 Uzroci otkaza

3.4 Projektovanje veza

- 1. Razvođenje napajanja**
- 2. Razvođenje signala**

3.4 Projektovanje veza

1. Razvođenje napajanja

Projektant ASIC kola ne može da utiče na ove veze, ali treba da zna kako su realizovane da bi mogao da kontroliše uzroke smetnji koji ugrožavaju stabilno napajanje.

3.4 Projektovanje veza

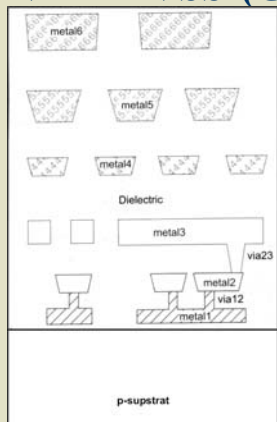
2. Razvođenje signala

- 1. Strategije za smanjenje preslušavanja
- 2. Promena širine i odstojanja
- 3. Izbor nivoa metala
- 4. Oklapanje
- 5. Obnavljanje signala.

3.4 Projektovanje veza

1. Razvođenje napajanja

VDD i VSS (GND) razvode se u višim metalima



Slojevi M5 i M6 imaju veći poprečni presek (debljinu) da bi se smanjila otpornost.

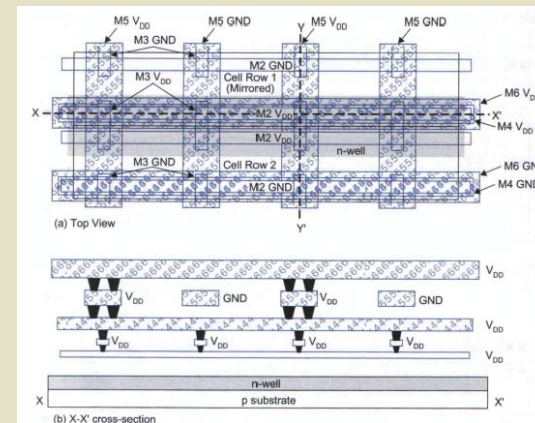
Pomoću slojeva M1 i M2 razvode se veze signala (kraće veze)

3.4 Projektovanje veza

1. Razvođenje napajanja

VDD i VSS razvodi se preko mreže koja prekriva čip

Napajanje se sa globalnih linija, preko M4 i M3 dovodi do pojedinih tranzistora



3.4 Projektovanje veza

1. Razvođenje napajanja

Osnovni uzrok neravnomerne distribucije napajanja na čipu jeste pad napona na vezama unutar čipa (van čipa koriste se veze sa većim poprečnim presekom i manjim ρ – Cu, Au, Ag)

3.4 Projektovanje veza

1. Razvođenje napajanja

Postoje dva uzroka pada napona:

- DC struja i
- struja u trenutku promene stanja signala.

Dinamičke promene treba da prihvati bypass kondenzator koji se vezuje između VDD i VSS.

Kolike su te promene?

3.4 Projektovanje veza

1. Razvođenje napajanja

Primer:

Neka 64 bafera (ripitera) na magistrali dugoj $320\mu\text{m}$ i širokoj $1\mu\text{m}$, dele zajedničko napajanje u metalu M2, koji ima slojnu otpornost od $0.05 \Omega/\square$.

Ukoliko baferi pobuđuju opterećenje od 0.4pF sa vremenom promene signala od 200ps , proceniti pad napona. Kolo se nominalno napaja sa $VDD=1.8\text{V}$.

12

3.4 Projektovanje veza

1. Razvođenje napajanja

Rešenje:

Svaki ripiter daje struju od oko

$$I=C(\Delta V/\Delta t)=(0.4\text{pF})(1.8\text{V})/(200\text{ps})=3.6\text{mA}.$$

Površina svake veze iznosi $320\square$, tako da je njena otpornost $R=(320\times 1)\times 0.05=16\Omega$.

Ukupni pad napona biće

$$64IR=1.85\text{V} > 1.8\text{V} = VDD!$$

3.4 Projektovanje veza

1. Razvođenje napajanja

Rešenje:

Ukupni pad napona biće
 $64IR=1.85\text{V} > 1.8\text{V} = VDD!$

Naravno da je to nemoguće.

U stvari, ripiteri ne mogu da daju zahtevanu struju, pa će se kondenzator puniti/prazniti mnogo sporije.

Očigledno da 64 ripitera ne mogu da se napajaju sa veze dugačke $320\mu\text{m}$. Svaki ripiter treba da se napaja sa vertikalne rešetke.

3.4 Projektovanje veza

1. Razvođenje napajanja

Drugi razlog za šum u liniji za napajanje čipa nastaje usled konačne induktivnosti uvodnika koja dolazi do izražaja na visokim frekvencijama.

Primer:

Proceniti, u procentima, veličinu šuma na izvoru za napajanje prouzrokovanog izlaskom čipa iz moda čekanja u operativni mod.

Poznato je:

radna frekvencija 1GHz , potrošnja struje u modu čekanja je 20A , a u operativnom modu 60A , $VDD=1.8\text{V}$, induktivnost uvodnika za napajanje je 20pH . Ne postoji bajpas kondenzator između VDD i VSS .

15

3.4 Projektovanje veza

1. Razvođenje napajanja

Rešenje:

Brzina promene struje iznosi

$$(\Delta I/\Delta t) = (60\text{A}-20\text{A})/1\text{ns}=40\text{GA/s.}$$

Prema tome, šum na VDD iznosi

$$L(\Delta I/\Delta t) = 0.8\text{V,}$$

odnosno 37% u odnosu na napon VDD.

Naravno, ovo je neprihvatljivo.

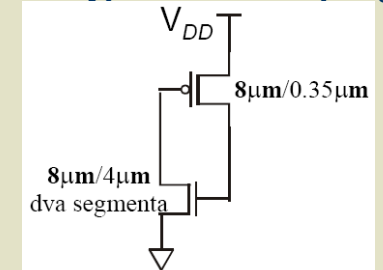
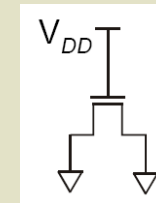
Neophodan je interni bajpas kondenzator koji će da apsorbuje ovu promenu.

16

3.4 Projektovanje veza

1. Razvođenje napajanja

Interni kondenzator (unutar čipa) vezuje se između VDD i VSS da bi ublažio sve nagle promene struja napajanja, odnosno da bi nadoknadio neophodno naelektrisanje u trenucima kada više signala menja stanje. Ovaj kondenzator zove se *bypass* ili *decoupling* kondenzator.



17

3.4 Projektovanje veza

1. Razvođenje napajanja

Primer:

Koliku vrednost treba da ima bajpas kondenzator da bi promena struje od 40A za vreme od 1ns izazvala pad napona od 200mV?

Rešenje:

$$I = C(\Delta V/\Delta t),$$

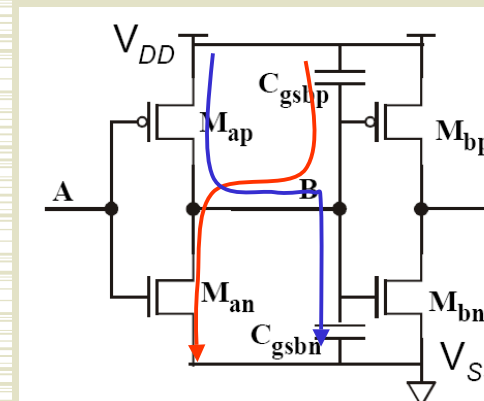
$$C = I/(\Delta V/\Delta t) = ((40\text{A} \cdot 1\text{ns})/0.2\text{V}) = 200\text{nF.}$$

Kapacitivnosti gejtja čine tzv. *simbiotičke* kapacitivnosti.

18

3.4 Projektovanje veza

1. Razvođenje napajanja



Kada je A=1 tada je B=0, M_{an} vodi i puni C_{gsbp}.

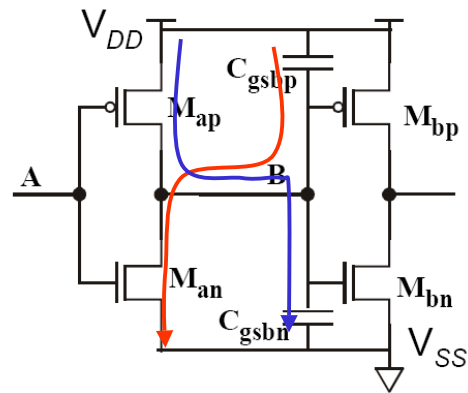
Kada je A=0, B=1, vodi M_{ap} i puni C_{gsbn}.

To znači da u CMOS kolima uvek postoji određena akumulirana energija koja može da se oslobodi kada se za to ukaže potreba.

19

3.4 Projektovanje veza

1. Razvođenje napajanja



Dodati sliku koja stavlja u kontekst simbioticke C

20

3.4 Projektovanje veza

1. Razvođenje napajanja

U VF kolima dobra je praksa da se sva slobodna mesta na čipu popune kondenzatorima koji povezuju V_{DD} i V_{SS} .

21

3.4 Projektovanje veza

2. Razvođenje signala

U najvećoj meri trasiranje se obavlja automatski, a projektant interveniše samo nad kritičnim vezama sa ciljem da zaštiti integritet signala.

Integritet signala štiti se

- Kontrolom uticaja susednih signala
- Kontrolom slabljenja duž veze

3.4 Projektovanje veza

2. Razvođenje signala

Projektant može da interveniše primenom različitih strategija za smanjenje preslušavanja

1. Poništavanje preslušavanja
2. Promena širine trake i odstojanja
3. Izbor nivoa metala
4. Oklapanje
5. Obnavljanje signala.

3.4 Projektovanje veza

2. Razvođenje signala

Poništavanje preslušavanja

- Fizičko udaljavanje kritičnih veza
- Zaštita oklapanjem
- Na vezi ugroženoj preslušavanjem istovremeno izazvati pozitivno i negativno preslušavanje, tako da se ukupna smetnja poništi.

Prva dva načina zahtevaju dodatni prostor na čipu.

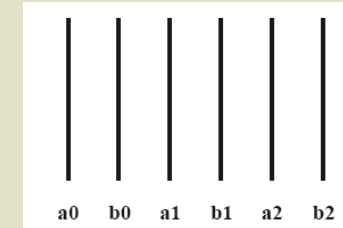
Drugi način zahteva dodatni hardver

3.4 Projektovanje veza

2. Razvođenje signala

Poništavanje preslušavanja

Naizmenični raspored veza u kojima signali ne menjaju stanje istovremeno. Tipičan primer jesu dve magistrale A i B u kojima se stanje menja na suprotnim ivicama takta.

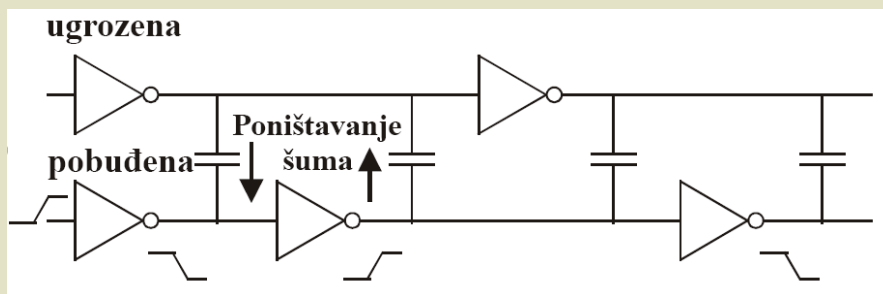


Susedni signali miruju kada dođe do promene na nekoj od magistrala.

3.4 Projektovanje veza

2. Razvođenje signala

Poništavanje preslušavanja



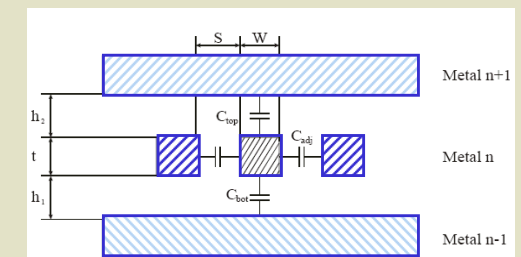
3.4 Projektovanje veza

2. Razvođenje signala

Promena širine trake i odstojanja

Proširivanjem veza smanjuje se otpornost, ali se povećava kapacitivnost.

Povećanje nije proporcionalno, tako da se vremenska konstanta smanjuje.

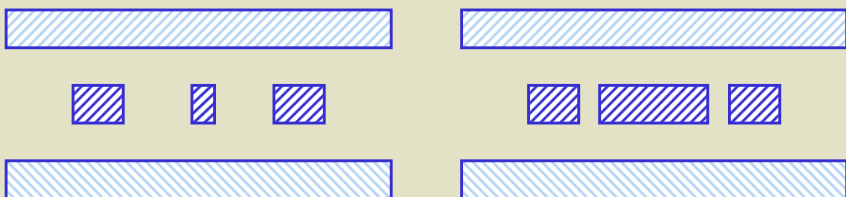


3.4 Projektovanje veza

2. Razvođenje signala

Promena širine trake i odstojanja

Smanjenje vremenske konstante karakteristično kod uskih veza.



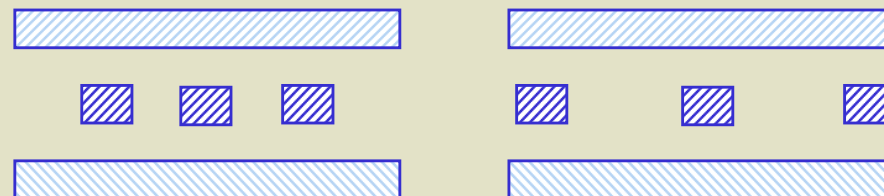
Širenje veza utiče na povećanje kapacitivnosti prema susednim slojevima C_{top} i C_{bot} .

3.4 Projektovanje veza

2. Razvođenje signala

Promena širine trake i odstojanja

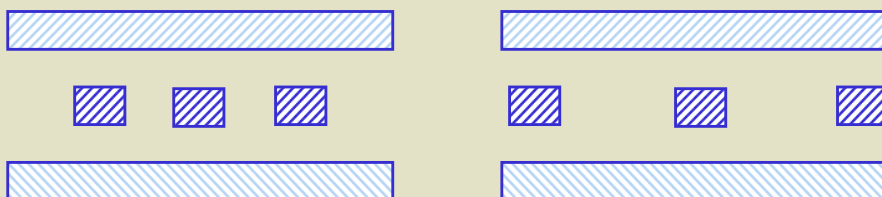
Povećavanje razmaka između veza smanjuje kapacitivnost do susednih veza, a ne utiče na otpornost.



3.4 Projektovanje veza

2. Razvođenje signala

Promena širine trake i odstojanja



Postiže se delimično smanjenje vremenske konstante i značajno smanjenje preslušavanja do susednih veza.

3.4 Projektovanje veza

2. Razvođenje signala

Promena širine trake i odstojanja

Za veze kod kojih je zbir širina i odstojanja (razmak) mali, bolje je da se **poveća širina** da bi se **smanjilo kašnjenje**.

Sprega sa susednim vezama smanjuje se povećanjem odstojanja.

Izbor najboljeg odnosa širine i odstojanja zavisi od svakog konkretnog slučaja.

3.4 Projektovanje veza

2. Razvođenje signala

Izbor nivoa metala

Moderni procesi imaju više nivoa metala.

Niži slojevi su uži (tanji) i koriste se za povezivanje unutar ćelija.

Srednji slojevi su nešto deblji, imaju manju otpornost i mogu da izdrže veće struje.

Viši slojevi metala su najdeblji, imaju najmanju otpornost, pa se koriste za razvođenje napajanja i duge globalne veze.

3.4 Projektovanje veza

2. Razvođenje signala

Izbor nivoa metala

Tokom planiranja površine definiše se broj traka koji će se koristiti za povezivanje.

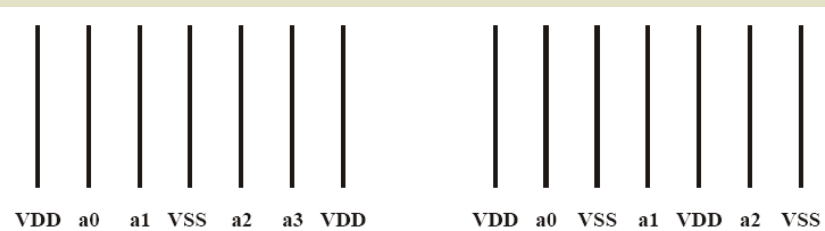
Uvek je dobro predvideti neku traku više, kako bi bile moguće eventualne izmene u kasnijim fazama projektovanja.

3.4 Projektovanje veza

2. Razvođenje signala

Oklapanje

Da bi se sprečila sprega između susednih veza, kritične veze se „oklope“ tako što se između njih postavje veze VDD ili VSS.

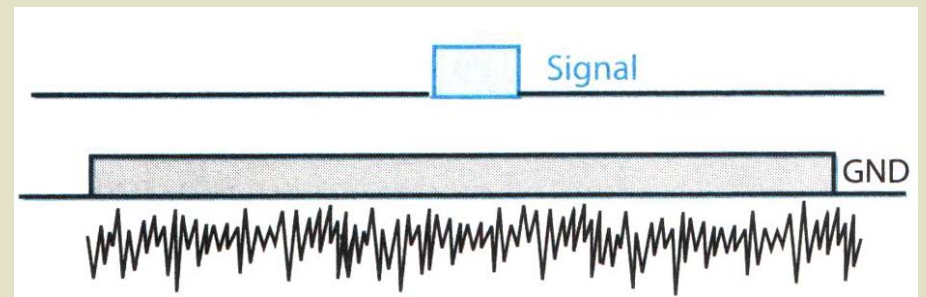


3.4 Projektovanje veza

2. Razvođenje signala

Oklapanje

Oklapanje po “vertikali” – oklapanje sa donje strane M1

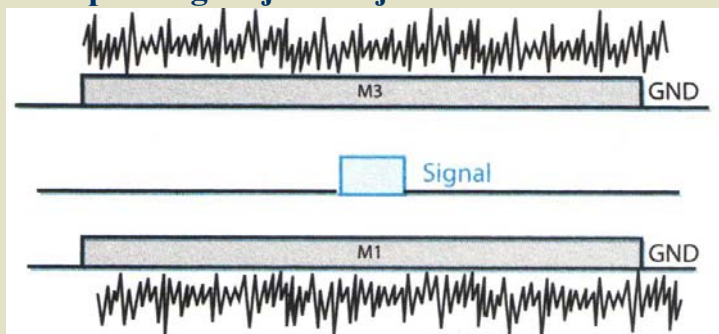


3.4 Projektovanje veza

2. Razvođenje signala

Oklapanje

Vrlo osetljive signale kao što su takt i analogni naponi, treba oklopiti sa gornje i donje strane.

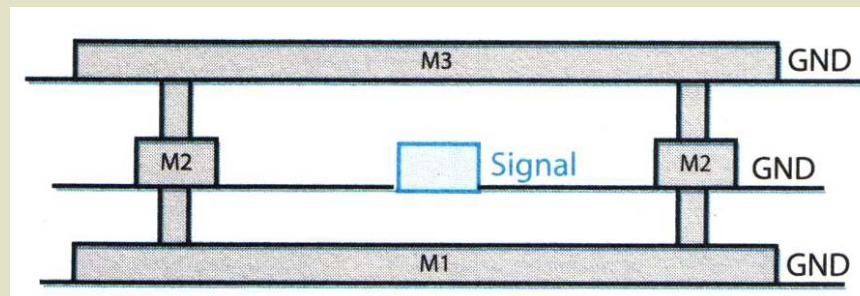


3.4 Projektovanje veza

2. Razvođenje signala

Oklapanje

U VF primenama najosetljivije signale treba oklopiti sa svih strana ("koaksijalni vod").

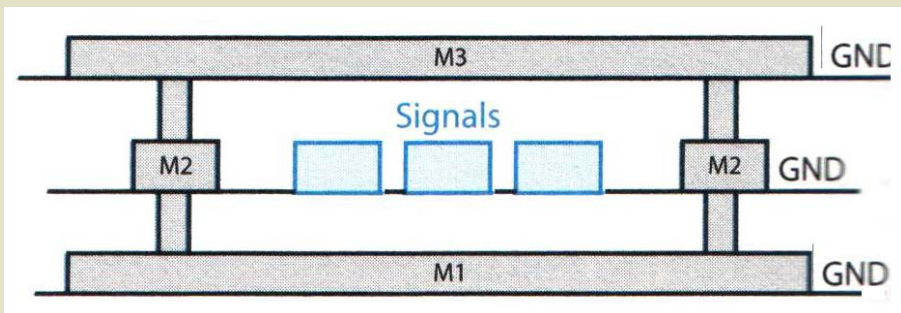


3.4 Projektovanje veza

2. Razvođenje signala

Oklapanje

U VF primenama najosetljivije signale treba oklopiti sa svih strana.



3.4 Projektovanje veza

2. Razvođenje signala

Obnavljanje signala

Otpornost i kapacitivnost veze raste proporcionalno dužini l , tako da vremenska konstanta raste proporcionalno kvadratu dužine veze.

Kašnjenje može da se smanji ako se duga veza podeli na segmente, a između se postave baferi ili invertori za obnovu signala.

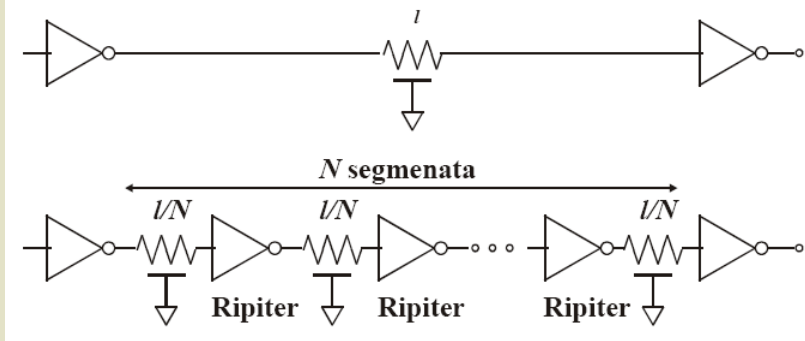
S obzirom da nemaju drugu ulogu u kolu, ovi elementi zovu se ripiteri (*repeate*, ponoviti).

3.4 Projektovanje veza

2. Razvođenje signala

Obnavljanje signala

Primena invertora kao ripitera daje bolje rezultate.



3.4 Projektovanje veza

2. Razvođenje signala

Obnavljanje signala

Ukoliko su segmenti veza dugački, dominiraće kašnjenje na vezama.

Veliki broj ripitera može da poveća kašnjenje. Kako odrediti optimalni broj ripitera?

3.4 Projektovanje veza

2. Razvođenje signala

Obnavljanje signala

Pretpostavimo da se kao ripiteri koriste invertori W puta veći od jediničnih, čija je vremenska konstanta RC' , a da su podužna otpornost i kapacitivnost veza R_w i C_w , respektivno.

Na bazi Elmorovog modela kašnjenja, može se pokazati da optimalna dužina segmentata iznosi:

$$\frac{l}{N} = \sqrt{\frac{2RC'}{R_w C_w}}$$

3.4 Projektovanje veza

2. Razvođenje signala

Obnavljanje signala

Za optimalnu dužinu segmenta kašnjenje po jedinici dužine iznosi

$$\frac{t_{pd}}{l} = (2 + \sqrt{2})\sqrt{RC' R_w C_w}$$

što se može postići ukoliko je širina nMOS tranzistora.

$$W = \sqrt{\frac{RC_w}{R_w C'}}$$

III Potpuno projektovanje po narudžbini

Sledećeg časa:

- 3.1 Ocena uspešnosti projekta
- 3.2 Projektovanje statičkih logičkih kola
- 3.3 Simboličko projektovanje
- 3.4 Projektovanje veza

3.5 Uzroci otkaza